

# 铁电场效应晶体管:原理、材料设计与研究进展

陆旭兵\*, 李明, 刘俊明

(华南师范大学华南先进光电子研究院, 广东广州 510006)

**摘要:**系统阐述了铁电场效应晶体管(FeFET)的工作原理,重点介绍了铁电层和缓冲层的材料设计的基本原理、主要的铁电层材料和缓冲层材料及其所对应的 FeFET 的器件性能.并介绍了基于 FeFET 的 FeCMOS 逻辑电路、FeNAND 闪存电路、基于氧化物半导体和有机半导体的 FeFET 的最新研究成果.最后对 FeFET 的未来研究作出展望.

**关键词:**非易失性存储器;铁电场效应晶体管;闪存;有机半导体;氧化物半导体

**中图分类号:** O472+.4, TN386.2      **文献标志码:** A      doi:10.6054/j.jscnn.2012.06.001

当代半导体工业使用的存储器件可以分为两大类<sup>[1]</sup>.一类是易失性(volatile)的,即掉电后所储存的数据会丢失,如计算机的内存 DRAM.另外一类是非易失性(nonvolatile)的,即掉电后数据不会丢失,如计算机使用的 EPROM、EEPROM、便携式 USB 卡、相机 SD 卡所使用的闪存(flash memory)和交通系统使用的智能卡等,可以说非易失性存储器件已经成为了当代信息社会必不可少的电子产品,并且正在不断地提高我们的工作效率、改善我们的生活品质.随着集成电路技术在材料、制备工艺及设计技术等各方面的进步,商业化产品闪存的集成密度不断得到提高、价格也不断下降.随着集成电路技术按照摩尔定律不断向前发展,器件的尺寸持续缩小,相应地降低器件工作的电压、能耗等,对于目前基于电荷俘获技术的商业化闪存来讲,已经很难满足市场对更高集成密度和更低工作电压的下一代存储器件的需求.首先是它的写入电压较高(NOR:7~9 V, NAND:17~19 V)、写入脉冲宽度较宽(10 μs),导致不仅写入消耗能量大,而且不利于快速操作;另外一个不足是反复擦写的能力不是很高,理论预期只有 10<sup>6</sup> 数量级,实际的器件只有 10<sup>4</sup> 次左右<sup>[1-3]</sup>.为了进一步降低下一代存储器件的工作电压,提高器件的运行速度、稳定性和可靠性,最近 10 余年来,基于新材料和新工作原理的新型非易失性存储器件受到了广泛的关注.如铁电存储器件(Ferroelectric random access memory)(FeRAM)、磁阻存储器件(Magneto-resistive random access memory)、相转变存储

器件(Phase change random access memory)以及电阻存储器件(Resistive change random access memory)等<sup>[2-3]</sup>.

作为下一代新型的存储技术之一,FeRAM 具有超快的擦写速度(~100 ns)、极低的工作电压(1T1C 结构:~1 V)和优异的反复擦写能力(10<sup>12</sup>)等优点<sup>[2-3]</sup>.从理论上预期,FeRAM 有望克服闪存的不足之处,不仅可以部分取代乃至提高现有非易失性存储器件的功能,而且可望拓展其在对功耗、可靠性要求较高的一些特殊领域得到应用,如移动电话及射频系统、汽车行驶记录仪等.对 FeRAM 的研究,是近 10 多年来国际工业界和学术界在半导体存储领域研究的热点之一,从 2001 年起,FeRAM 就已经被列入了国际半导体技术发展路线图 ITRS(International Technology Roadmap for Semiconductors)<sup>[2]</sup>.美国和日本的大公司如富士通、松下、德州仪器,以及 Ramtron 等目前已经有基于 FeRAM 的智能卡、无线射频卡等商业化产品.根据器件结构及工作原理的不同,FeRAM 又可以分为两大类<sup>[3]</sup>:1 个晶体管 1 个电容器型(1T1C)和 1 个晶体管型(1T).目前基于 1T1C 结构的 FeRAM 已经实现了商业化生产,已知日本东芝公司于 2009 年初开发了“全球最大容量”128 Mbit,“全球最高速度”1.6 GB/s 的 FeRAM 存储芯片产品.1T 型的 FeRAM,也即铁电场效应晶体管(Ferroelectric-gate field effect transistor),在本文中简称为 FeFET,目前未实现商业化生产,但是从其器件结构及工作原理分析,FeFET 不

仅具有 1T1C 型的所有优点,而且其读出是非破坏性的,结构也较 1T1C 型的简单,预期比已经商业化的 1T1C 型 FeRAM 具有更高的集成密度、更低的能量消耗以及生产成本<sup>[4]</sup>. 根据日本富士通(Fujitsu)等国际著名半导体公司预测<sup>[5]</sup>,FeRAM 的最终发展趋势是 FeFETs.

正是由于 FeFET 具有高速、低功耗、高集成密度和非破坏性读出等优点,在 2010、2011 年连续 2 年的国际半导体技术路线图中<sup>[2]</sup>,FeFET 与相变存储器、磁阻存储器和电阻存储器等列为下一代的新颖存储器. 与目前商业化的 NAND 闪存比较,它有如下的优点<sup>[2-4]</sup>:1) 由于采用铁电极化来存储数据,理论上可以集成于 10 nm 工艺以下;2) 操作电压只需 5 V 左右,大大低于 NAND 闪存所需要的 15 ~ 20 V;3) 能耗可以降低 9 ~ 16 倍;4) 反复擦写能力达到  $10^8$ . 可以说 FeFET 相对目前商业化的 NAND 闪存具有非常大的性能优势,在下一代高密度存储技术中具有非常广阔的应用前景. 本文力争从铁电场效应晶体管的基本工作原理出发,对其材料设计

的基本要求、目前的研究进展、存在的问题和未来的发展趋势作出一个较为全面的阐述.

## 1 FeFET 的工作原理

### 1.1 铁电材料

铁电场效应晶体管之所以能够具有存储效应,其核心的机理在于作为栅介质材料的铁电材料具有剩余极化. 铁电材料是指一类具有自发极化的材料,并且自发极化可以在外加电场下翻转. 当外加电场消失后,自发极化有一部分并没有随外加电场的消失而消失,这部分保留下来的极化称为剩余极化. 正是因为剩余极化的存在,当外加电场消失后,晶体管中的沟道表面仍然能够保持在积累或者反型的状态,从而保留了沟道的开关状态. 铁电材料典型的晶体结构如图 1 所示. 一般来说,材料的铁电性只存在于某一温度以下,称为居里温度. 在这个温度以上,材料变为顺电体. 常见的铁电材料有  $\text{BaTiO}_3$ 、 $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$  和  $\text{BiFeO}_3$  等.

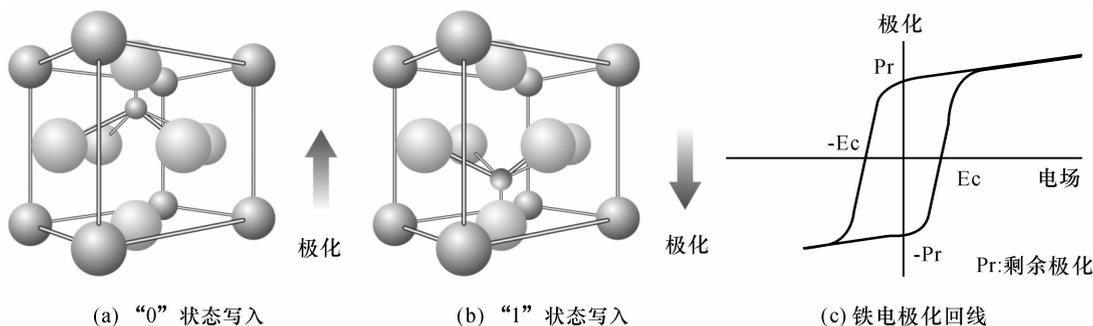


图 1 铁电材料的晶体结构及极化翻转示意图

Figure 1 The schematic diagrams of the crystal structure and polarization characteristics for ferroelectric materials

### 1.2 FeFET 的结构及其工作原理

利用铁电材料来实现存储效应的想法最早由 ROSS<sup>[6]</sup> 提出,其后, MOLL 等<sup>[7]</sup> 首次实现具有存储性能的 FeFET 器件. 1974 年, WU 等<sup>[8]</sup> 首先尝试在 Si 衬底上制备铁电场效应晶体管. 在早期的研究中,铁电薄膜直接制备于 Si 衬底上边,得到一个金属-铁电-半导体 (Metal - Ferroelectric - Semiconductor, MFS) 的器件结构,传统 MOSFET 中的  $\text{SiO}_2$  绝缘层被铁电层替代,利用铁电极化的翻转来控制沟道电流的开关. 但是直接制备于 Si 衬底上的 FeFET 的电荷长期保持性能很差,严重制约了其进一步的性能提高. 研究人员发现影响电荷长期保持性能的关键原因是很难在多晶的铁电薄膜和硅衬底之间形成一个性能优异的电学界面<sup>[3-4]</sup>. 为了提高界面质量,一个最常用的策略是在铁电薄膜和 Si 衬底之间插入一

绝缘的缓冲层,形成所谓的金属-铁电-绝缘-半导体 (metal - ferroelectric - insulator - Si, MFIS) 结构. 这一绝缘层不仅能够阻止 Si 衬底与铁电薄膜在高温下的界面反应和相互之间的扩散,而且可以提供一个较高的势垒以降低从 Si 衬底到铁电薄膜的电荷注入,可以极大地提高器件的长期稳定可靠性.

图 2 是一个基于 MFIS 结构的 FeFET 的基本结构及擦、写工作示意图. FeFET 由金属电极/铁电/缓冲层/半导体 (MFIS) 这样一个多层结构组成. 当在栅上施加一个正的写入电压时,沟道表面形成反型层,在源漏之间形成电流的通道,对应着器件的写入过程;当在栅上施加一个负的擦除电压时,沟道表面形成积累层,在源漏之间的电流通道被截断,对应着器件的擦除过程. 图 2(c) 展示了擦写操作所导致的器件阈值电压的偏移,对应着器件的存储窗口的大

小. 擦写脉冲电压的大小、宽度以及存储窗口的大小与器件所使用的铁电层材料、绝缘层材料以及各层

的物理厚度、界面质量等密切相关.

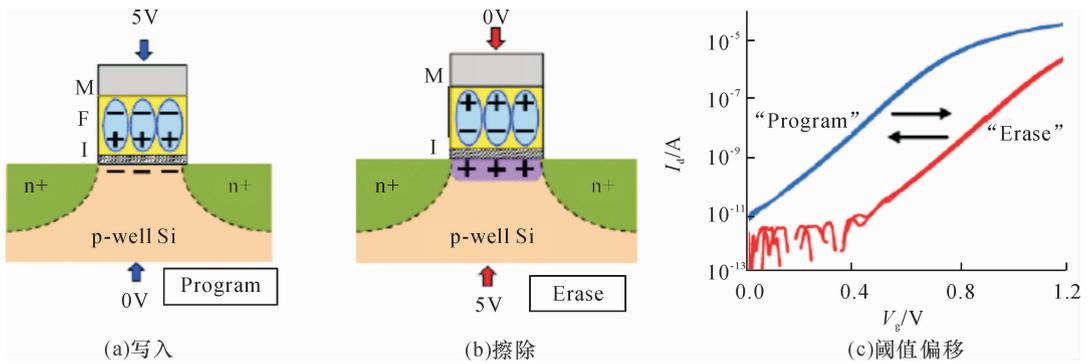


图2 铁电 MFIS 结构示意图及工作原理

Figure 2 The schematic diagram of the MFIS cell structure and its working principles

## 2 FeFET 中的材料设计和研究进展

### 2.1 FeFET 结构中铁电材料的探索

在 20 世纪 90 年代及更早期的研究中, FeFET 中常用的铁电材料为  $\text{LiNbO}_3$ 、 $\text{PbTiO}_3$ 、 $\text{BaMgF}_4$  和  $\text{BaTiO}_3$  等. 基于这些铁电材料的 FeFET 都在不同程度上展示了存储效应, 但这些 FeFET 电学性能都不是很好. 究其原因, 除了缓冲层材料的影响外, 对于 FeFET 中的铁电材料的认识与研究不够深入也是一个原因. 随着对 FeFET 的研究逐渐深入, 研究工作者发现, 为了获得性能优良的 FeFET 电学性能, 铁电材料最好具有低的介电常数和适中的铁电极化值、低晶化温度、良好的绝缘性能和疲劳性能. 基于这些标准, 自 21 世纪初开始, 对 FeFET 中铁电薄膜材料的研究开始转向于  $\text{SrBi}_2\text{Ta}_2\text{O}_9$  (SBT)、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_9$  (BLT)、 $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  (PZT) 等材料系列. 特别是具有优异疲劳性能的层状钙钛矿铁电薄膜如 SBT 和 BLT 被发现后, FeFET 中的铁电材料基本上锁定于这 2 种材料.  $\text{BiFeO}_3$  (BFO) 作为一种最近 10 余年来广泛受到关注的多铁性材料, 由于其较低的晶化温度, 也在作为 FeFET 中的铁电材料方向受到

了一定的关注. 表 1 是当前 FeFET 中所应用的一些典型铁电材料的基本物理和电学性能的一个概括. 从表中可以看出, SBT 和 BLT 具有良好的漏电流和疲劳性能、适中的介电常数, 但是其不足之处在于介电常数和晶化温度过高.  $\text{BiFeO}_3$  和 PZT 具有较低的晶化温度, 但是  $\text{BiFeO}_3$  的漏电流性能和疲劳性能很差, PZT 的疲劳性能不好和介电常数过高.  $\text{Sr}_2(\text{Ta}, \text{Nb})_2\text{O}_9$  具有良好的漏电流性能、较低的介电常数和低的极化值, 但是过高的晶化温度严重限制了其在 Si 基 FeFET 的应用. 到目前还没有能够找到一种完全符合上述所有要求的完美铁电材料. 已有的研究结果证明, SBT 是目前应用于 FeFET 中最为成功的铁电材料. 但是其介电常数和晶化温度过高的不足在一定程度上限制了器件的工作电压的降低和擦写速度的提高. 为了克服 SBT 的上述缺点, 学术界提出了 2 种主要的思路. 一是通过在 SBT 中掺杂低介电常数的材料, 如  $\text{ZrSiO}_4$ . LU 等<sup>[9]</sup> 尝试在 SBT 中掺杂入低介电常数的  $\text{ZrSiO}_4$  (其介电常数约为 10) 以降低 SBT 的介电常数. 但是遗憾的是, 5at%  $\text{ZrSiO}_4$  掺杂的 SBT 薄膜, 其介电常数仅仅从 201 降低到 193, 但是剩余极化 Pr 从  $9.3 \mu\text{C}/\text{cm}^2$  降低到了  $4.9 \mu\text{C}/\text{cm}^2$ . 另一种思路是在 FeFET 中采用有机铁电薄

表 1 FeFET 中常用铁电材料性能比较

Table 1 Comparisons of the basic physical and electrical properties of the typical ferroelectric materials for FeFET

	SBT	$\text{BiFeO}_3$	BLT	PZT	$\text{Sr}_2(\text{Ta}, \text{Nb})_2\text{O}_9$
频率为 1 MHz 的介电常数	~300	65 ~ 80	310	300 ~ 700	40
晶化温度/°C	700 ~ 750	450 ~ 550	650	500 ~ 600	950 ~ 1 000
剩余极化 Pr/( $\mu\text{C} \cdot \text{cm}^{-2}$ )	10	100	16 ~ 20	20 ~ 70	0.1 ~ 1
疲劳	好	差	好	差	-
漏电流	好	差	好	好	好

膜作为栅介质层. 有机铁电薄膜最大的优点是其晶化温度很低, 一般不超过 200 °C, 并且具有适中的介电常数和极化值. 最近, LU 等<sup>[10]</sup>采用 PMMA 掺杂的 P(VDF-TrFE) 作为 MFIS 结构中的铁电层, 成功获得了超低压工作且具有长期稳定性能的器件性能. 在 3 V 的低工作电压下可以观测到约 1.2 V 的存储窗口; 器件具有优异的长期保持特性<sup>[10]</sup>. 虽然有机铁电薄膜在降低器件的工作电压上成效显著, 但是其与无机半导体 Si 之间的界面问题以及在空气中的稳定性仍然有待深入探索.

## 2.2 FeFET 结构中的绝缘缓冲层的探索

在 MFIS 结构提出之初, 其结构中的绝缘层通常采用的是 SiO<sub>2</sub>, 因为通过热氧化的方法很容易在 Si 衬底上制备高质量的 SiO<sub>2</sub> 层, SiO<sub>2</sub>/Si 体系在 CMOS 电路中已经研究得很透彻. 但是由于 MFIS 结构本身存在的一些固有缺陷, 即去极化场和绝缘层的分压效应<sup>[11]</sup>, 基于 SiO<sub>2</sub> 的 MFIS 器件的性能不好, 特别是保持时间很短. 为了提高器件的性能, 通常绝缘层采用具有高介电常数的高 K 栅介质材料作为缓冲层. 通过对以往研究工作的总结, FeFET 中的绝缘缓冲层材料不仅需要具有较高的介电常数, 最好还具有高的能隙、与 Si 衬底之间具有良好的热稳定性和非晶或外延的结构<sup>[11]</sup>.

1994 年开始, 研究工作者开始尝试以各种不同的制备方法来制备各种不同的高 K 缓冲层材料, 在 Si 基上制备 MFIS 并研究其器件性能. 关于各种高 K 材料的一些基本物理和电学性能如介电常数、能隙、与 Si 之间的热稳定性、能带结构以及各自的优缺点, 在 WILK 等<sup>[12]</sup>的综述里已经有详细的介绍, 这里不再赘述. 对 FeFET 中高 K 缓冲层材料的研究, 大致可以分为 2 个阶段.

2000 年之前, 对高 K 缓冲层的研究主要集中在 CeO<sub>2</sub><sup>[13]</sup>、TiO<sub>2</sub><sup>[14]</sup>、ZrO<sub>2</sub><sup>[15]</sup>、SrTiO<sub>3</sub><sup>[16]</sup> 和 YMnO<sub>3</sub><sup>[17]</sup> 等材料. 相对于没有缓冲层的 MFS 器件和以 SiO<sub>2</sub> 为缓冲层的 MFIS 器件, 器件的性能都得到了不同程度的改善. 如 HIRAI<sup>[13]</sup> 报道了电子束蒸发制备的 CeO<sub>2</sub> 为缓冲层的 Al/PbTiO<sub>3</sub> (81 nm)/CeO<sub>2</sub> (18 nm)/Si 结构, 其器件的保持性能大大提高到了 1 × 10<sup>5</sup> s. 而以 SiO<sub>2</sub> 为缓冲层的 MFIS 器件, 其电荷保持时间只有 3 × 10<sup>3</sup> s<sup>[18]</sup>. YMnO<sub>3</sub> 具有较高的介电常数 30 (块体陶瓷), 与 Si 衬底之间具有良好的热稳定性, 并且钇具有分解 Si 表面形成的 SiO<sub>2</sub> 的作用. CHOI 等<sup>[17]</sup> 研究了 Pt/SBT (200 nm)/YMnO<sub>3</sub> (25 nm)/Si 结构的电学性能, 在 6 V 的扫描电压下观测到了 1.5

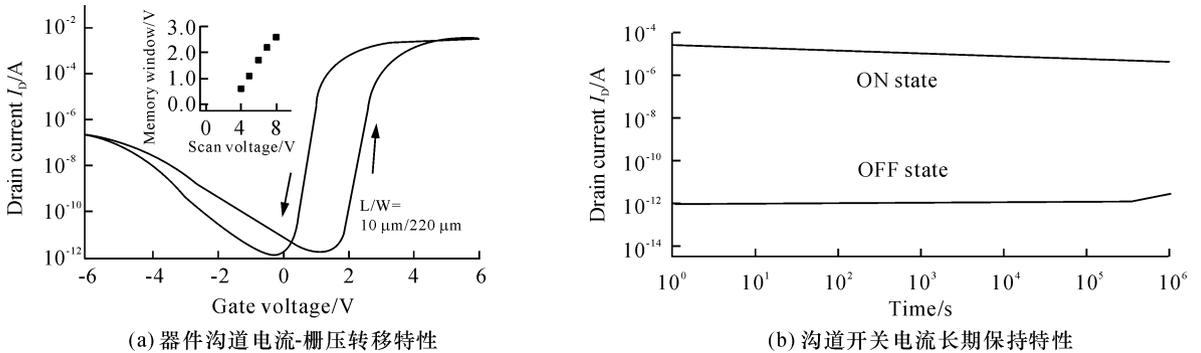
V 的存储窗口, 并且展示了比 CeO<sub>2</sub> 更好的阻止铁电材料与 Si 衬底之间相互扩散的能力. 遗憾的是 Choi 的工作里没有报道器件保持性能的结果. 对于这些早期研究的高 K 缓冲层材料, 虽然其 MFIS 器件性能获得了一些令人鼓舞的结果, 但是其总体的电学性能还远没有达到商业化生产的要求. 究其原因, 主要与这些材料的一些本征性质有关, 如与 Si 衬底之间的导带价带偏移过小<sup>[14,16]</sup>、晶化温度低<sup>[14-15]</sup>、热稳定性<sup>[13-16]</sup>等.

2000 年开始, 对高 K 缓冲层的研究重点开始转向 ZrO<sub>2</sub><sup>[19]</sup>、Ta<sub>2</sub>O<sub>5</sub><sup>[20]</sup>、Si<sub>3</sub>N<sub>4</sub><sup>[21]</sup>、Al<sub>2</sub>O<sub>3</sub><sup>[22]</sup>、La<sub>2</sub>O<sub>3</sub><sup>[23]</sup>、LaAlO<sub>3</sub><sup>[24]</sup> 和 PrOx<sup>[25]</sup> 等材料, 与之相应的是令人鼓舞的结果也不断出现. 如 CHOI 等<sup>[22]</sup> 研究了以 Al<sub>2</sub>O<sub>3</sub> 为缓冲层的 Pt/SrBi<sub>2</sub>Nb<sub>2</sub>O<sub>9</sub> (SBN) (220 nm)/Al<sub>2</sub>O<sub>3</sub> (11.4 nm)/Si MFIS 器件, 在 5 V 的工作电压下获得了 1.52 V 的存储窗口, 足以满足低压工作的需求. WON 等<sup>[23]</sup> 采用 La<sub>2</sub>O<sub>3</sub> 为缓冲层, 对于 Al/PbTiO<sub>3</sub> (360 nm)/La<sub>2</sub>O<sub>3</sub> (28 nm)/Si 结构, 当扫描电压从 2 V 增加到 10 V 时, 相应的存储窗口从 0.3 V 增加到 2.6 V. 令人遗憾的是, 虽然 WON 等<sup>[23]</sup> 的器件存储窗口很大, 但是他们并没有电荷保持特性的报道. PARK 等<sup>[24]</sup> 报道了 Pt/Sr<sub>0.8</sub>Bi<sub>2.2</sub>Ta<sub>2</sub>O<sub>9</sub> (210 nm)/LaAlO<sub>3</sub> (25 nm)/Si MFIS 器件, 不仅在 10 V 的扫描电压下观测到了 3.0 V 的存储窗口, 而且报道了约 12 h 的电荷长期保持能力. NODA 等<sup>[25]</sup> 报道了用脉冲激光沉积法制备的具有优异绝缘性能的 PrO<sub>x</sub> 缓冲层, 其对应的 MFIS 器件的电荷保持性能超过了 1 × 10<sup>4</sup> s, 但是不足的是其存储效应很小, 在 12 V 的扫描电压下仅仅观测到了 0.3 V 的存储窗口.

通过对上述的各种高 K 缓冲层材料的广泛研究, MFIS 结构器件的电学性能得到了很大的改善. 但是还没有找到一种真正能够将 FeFET 的电学性能推进到可以商业化生产水平的缓冲层材料, 商业化生产需要器件的长期电荷保持能力能达到 10 年<sup>[26]</sup>. 直到 2004 年, 通过日本产业技术综合研究所 SAKAI 教授组和东京工业大学 ISHIWARA 教授组的努力, 首次将 HfO<sub>2</sub> 系列材料引入到 MFIS 结构中来, 器件的电学性能特别是电荷长期保持特性得到了极大的改善, 才真正使 FeFET 的商业化生产看到了一丝曙光. 在 2004 年, SAKAI 教授组报道了基于 Pt/SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>/HfAlO/Si MFIS 结构的优异的电学性能<sup>[27]</sup>. 在 6 V 的扫描电压下获得了 1.6 V 的存储窗口, 如图 3(a) 所示. 尤为重要的是, 经过 12 天的保持测试, 沟道的开关电流比仍然保持在 10<sup>6</sup> 以上, 如

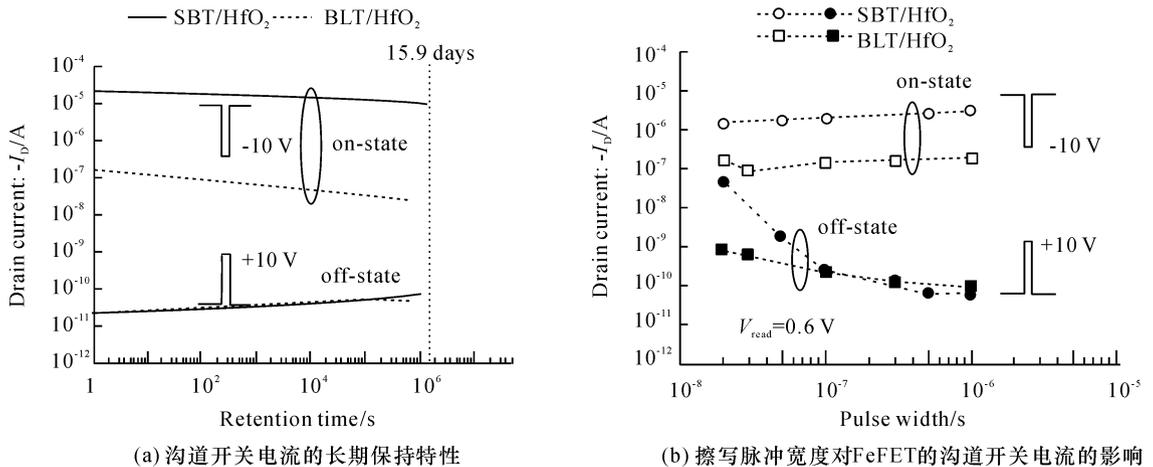
图3(b)所示.同样是在2004年,ISHIWARA教授组报道了以 $\text{HfO}_2$ 为缓冲层的 $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{HfO}_2/\text{Si}$ 器件优异的电学性能<sup>[28]</sup>.经过15.9天的长期电荷保持测试后,FeFET的沟道电流开关比仍然保持在 $10^5$ 以上.他们也同时报道了20 ns的超快器件工作速度,相应的结果如图4所示.这是过去几十年中在FeFET的研究中2个标志性的工作.自 $\text{HfO}_2$ 基缓冲层材料引入后,FeFET的电学性能特别是长期保持特性得到了质的飞跃.随后SAKAI教授组于2005年采用自对准栅技术,所制备的基于 $\text{HfAlO}$ 为缓冲层的FeFET在实验室阶段实现了超过33天的电荷保持能力,且沟道电流开关比保持在 $10^5$ 以上<sup>[29]</sup>.2005年,ISHIWARA教授组进一步优化了以 $\text{HfO}_2$ 为缓冲层的FeFET,其长期电荷保持能力也达到了30天以上<sup>[30]</sup>. $\text{HfO}_2$ 和 $\text{HfAlO}$ 作为缓冲层在MFIS结构中虽然取得了巨大的成功,但是这2种材料也存在各自的不足.如 $\text{HfO}_2$ 的晶化温度较低,只有300 $^\circ\text{C}$ ,容易在铁电薄膜的晶化过程中形成多晶结构,这种多晶结构易于在界面产生缺陷,使界面的陷阱电荷增加并且会导致漏电流增加. $\text{HfAlO}$ 虽然晶化

温度高,但是容易在界面引入负的固定电荷<sup>[31]</sup>.为了克服 $\text{HfO}_2$ 和 $\text{HfAlO}$ 的不足之处,进一步提高器件的性能,作者在日本东京工业大学时与富士通公司合作探索了 $\text{HfO}_2$ 基的新型缓冲层材料<sup>[32-33]</sup>.如利用超高真空的分子束沉积的方法制备了高质量的 $\text{HfTaO}$ 高K薄膜, $\text{HfTaO}$ 不仅具有与 $\text{HfO}_2$ 相同的介电常数( $\sim 25$ ),而且其晶化温度达到800 $^\circ\text{C}$ ,有效地克服了 $\text{HfO}_2$ 的晶化温度低的缺点<sup>[34]</sup>.制备的以 $\text{HfTaO}$ 作为缓冲层的MFIS结构二极管电容器和FeFET器件,都展示了优异的器件性能<sup>[32]</sup>.另外一种高K材料 $\text{HfSiON}$ 不仅具有比 $\text{HfO}_2$ 高的晶化温度(大于800 $^\circ\text{C}$ ),而且不会在界面引入负的固定电荷.LU等<sup>[33]</sup>系统研究了 $\text{HfSiON}$ 的厚度对器件性能的影响,发现2 nm的 $\text{HfSiON}$ 缓冲层能够获得最大的存储窗口,但是 $\text{HfSiON}$ 的介电常数较小(约为10),限制了器件获得更大的存储窗口.为了克服 $\text{HfO}_2$ 和 $\text{HfAlO}$ 的不足之处,在最近的几年中,人们也尝试了其他新型的高K缓冲层材料,如 $\text{Dy}_2\text{O}_3$ <sup>[35]</sup>、 $\text{DyScO}_3$ <sup>[36]</sup>等,但是报道的器件电学性能远远比以 $\text{HfO}_2$ 基为缓冲层的FeFET差.可以说通过多年的探索,



(a) 器件沟道电流-栅压转移特性

(b) 沟道开关电流长期保持特性

图3 基于 $\text{HfAlO}$ 为缓冲层的 $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{HfO}_2/\text{Si}$  FeFET的电学特性Figure 3 The electrical properties of  $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{HfO}_2/\text{Si}$  FeFET based on  $\text{HfAlO}$  buffer layer

(a) 沟道开关电流的长期保持特性

(b) 擦写脉冲宽度对FeFET的沟道开关电流的影响

图4 以 $\text{HfO}_2$ 为缓冲层的FeFET器件的长期保持特性和脉冲写入特性Figure 4 The retention characteristics and pulse programming/erasing characteristics of FeFET with  $\text{HfO}_2$  buffer layer

HfO<sub>2</sub> 基高 K 缓冲层材料已成为 FeFET 研究中最合适的缓冲层材料. 究其原因, HfO<sub>2</sub> 是目前为止唯一能够较好满足 MFIS 结构中绝缘缓冲层要求的材料. 如具有较高的介电常数、与 Si 衬底之间优异的热稳定性和界面质量, 器件的漏电流性能、界面缺

陷、界面低介电常数层能够得到最大限度的抑制, 从而可以使器件能够低压、高速长期稳定工作. 表 2 是近年来所研究的各种不同的高 K 缓冲层材料及其对应的 FeFET 的性能比较, 可以对 FeFET 研究的现状有一个较为全面的了解.

表 2 不同高 K 缓冲层及其对应的 FeFET 电学性能比较

Table 2 Comparisons of the electrical properties of FeFETs with different high-K buffer layers

Buffer layer	K	Ferroelectric Gate/Buffer Layer	$M_w/V$	$S_{\text{weep}}/V$	Retention time/s	Reference
SiO <sub>2</sub>	3.9	SBT(400 nm)/SiO <sub>2</sub> (27 nm)	2.7	-6 ~ +6	$3.0 \times 10^3$	OKUYAMA <sup>[18]</sup>
Si <sub>3</sub> N <sub>4</sub>	7	BLT(100 nm)/Si <sub>3</sub> N <sub>4</sub> (3 nm)	1.2	-5 ~ +5	$\sim 1.0 \times 10^4$	KIJIMA <sup>[21]</sup>
Al <sub>2</sub> O <sub>3</sub>	9	SBN(220 nm)/Al <sub>2</sub> O <sub>3</sub> (11.4 nm)	1.5	-5 ~ +5	NA	CHOI <sup>[22]</sup>
HfSiON	~11	SBT(300 nm)/HfSiON(2 nm)	0.8	-4 ~ +4	$8.6 \times 10^4$ (1 day)	LU <sup>[33]</sup>
PrO <sub>x</sub>	12	SBT(400 nm)/PrO <sub>x</sub> (32 nm)	0.3	-6 ~ +6	$1.0 \times 10^4$	NODA <sup>[25]</sup>
Dy <sub>2</sub> O <sub>3</sub>	14	PZT(250 nm)/Dy <sub>2</sub> O <sub>3</sub> (20 nm)	0.6	-6 ~ +6	$1 \times 10^4$	JUAN <sup>[35]</sup>
ZrO <sub>2</sub>	20	SBT(210 nm)/ZrO <sub>2</sub> (28 nm)	2.6	-10 ~ +10	NA	CHOI <sup>[19]</sup>
HfAlO	20	SBT(420 nm)/HfAlO(12 nm)	1.6	-6 ~ +8	$2.9 \times 10^6$ (33 days)	SAKAI <sup>[29]</sup>
LaAlO <sub>3</sub>	25	SBT(210 nm)/LaAlO <sub>3</sub> (25 nm)	3.0	-10 ~ +10	$4.3 \times 10^4$	PARK <sup>[24]</sup>
HfO <sub>2</sub>	25	SBT(400 nm)/HfO <sub>2</sub> (8 nm)	1.0	-5 ~ +5	$2.6 \times 10^6$ (30 days)	ISHIWARA <sup>[30]</sup>
La <sub>2</sub> O <sub>3</sub>	~25	PZT(160 nm)/La <sub>2</sub> O <sub>3</sub> (16 nm)	0.7	-8 ~ +8	NA	JUAN <sup>[23]</sup>
DyScO <sub>3</sub>	27	BNT(500 nm)/DyScO <sub>3</sub> (5 nm)	4.0	-12 ~ +12	$1 \times 10^3$	THOMAS <sup>[36]</sup>
TiO <sub>2</sub>	70	BFO(250 nm)/TiO <sub>2</sub> (150 nm)	1.1	-6 ~ +6	NA	XIE <sup>[37]</sup>
SrTiO <sub>3</sub>	300	SBT(300 nm)/SrTiO <sub>3</sub> (23 nm)	1.1	-7 ~ +7	$8.6 \times 10^4$	LU <sup>[38]</sup>

注: K 为频率为 1 MHz 的介电常数.

### 2.3 基于 FeFET 的 FeCMOS 和 FeNAND 存储电路研究

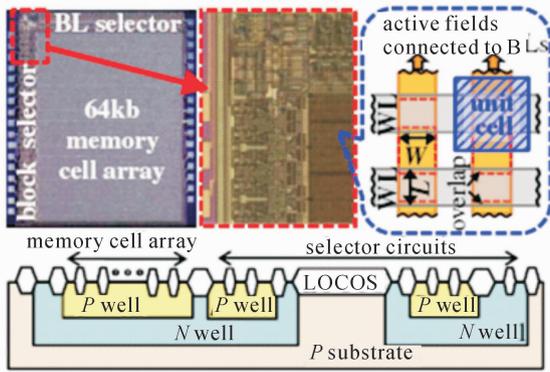
经过多年的努力, 采用 HfAlO 为缓冲层, FeFET 已经可以稳定可靠地获得优异电学性能<sup>[4, 29-30]</sup>, 特别是单个的器件的预期电荷长期保持性能已经可以达到 10 年. 学术界已经开始了基于 FeFET 的电路应用研究. 目前已经在 2 个方向取得了重要的进展<sup>[4]</sup>: 1 个是基于 FeFET 的非挥发性逻辑电路(FeCMOS), 1 个是基于 FeFET 的 NAND 闪存(FeNAND).

FeCMOS 电路与常规的 CMOS 电路具有相同的电路结构, 只不过其中的 n-MOSFET 和 p-MOSFET 分别由 n 沟道的 FeFET 和 p 沟道的 FeFET 来替代. 其优点是通过对栅压的控制可以同时实现逻辑晶体管和 非易失性存储记忆晶体管的功能, 在下一代高速低能耗的移动电子器件中具有优良的应用前景. 当栅压很小时, FeFET 中的铁电材料的极化不能够实现翻转, 从而没有存储效应, 这样晶体管就可以作为一个没有记忆效应的普通 MOSFET 来使用. 当栅压增加到某一阈值时, FeFET 中的铁电材料开始极化翻转, 输出电压出现平移. 2008 年 AIST 的 SAKAI 教授组已经成功实现了基于 FeFET 的 FeCMOS 反相器<sup>[39]</sup>, 展示了 FeFET 作为逻辑器件应用

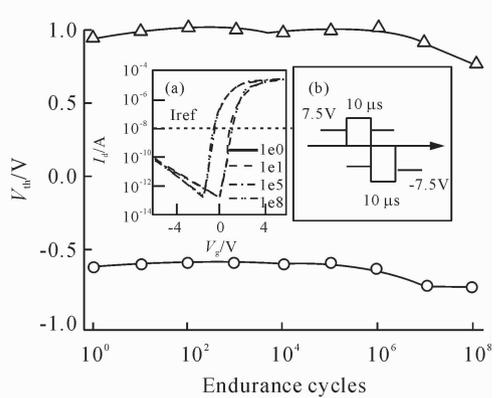
的可能性. 详细的工作原理和更多的结果可参阅有关文献<sup>[4, 39]</sup>.

NAND 闪存是目前高密度存储器市场上的主流产品, 但是其工作电压过高(一般需要 20 V), 实际反复擦写能力只有约  $10^4$  次, 很难满足未来低压、高可靠、高密度器件的需求. FeFET 具有完全不同于常规 NAND 闪存的工作原理, 理论预期可以克服常规 NAND 闪存的高工作电压和低反复擦写能力的不足. FeNAND 具有与常规的 NAND 一样的电路结构, 唯一的区别在于用 FeFET 来取代基于浮栅电荷写入方式的 MOSFET 来作为记忆效应的晶体管. 最近几年, 基于 FeFET 的 FeNAND 闪存电路已经取得了很多的进展. 2 个代表性的工作: (1) 2011 年, MIYAJI 等<sup>[40]</sup>报道了 9.3 Gb/s 高速写入速度、且能耗比常规的 flash 低 86% 的 FeNAND 闪存; (2) SAKAI 教授组于 2011 年成功实现了 64 kb 的 FeNAND 闪存电路<sup>[41]</sup>. 其工作电压可以降低到 7 V, 反复擦写能力达到  $10^8$ , 预期电荷长期保持能力达到 10 年<sup>[41]</sup>. 具体的结果见图 5. 结果表明: FeFET 完全可以与当前的 CMOS 工艺兼容; 已经从单个的器件研究阶段, 进入了实现产品商业化生产的电路研究阶段, 基于 FeNAND 的优异的电学性能, 展示了其在未来的主

流非易失性存储器件产品中优异的应用前景。



(a) FeNAND 闪存显微照片



(b) 单个 n 沟道 FeFET 的反复擦写特性

图 5 世界上第一片 64 k 位 FeNAND 的显微照片及器件电学特性结果

Figure 5 The microscope image and the electrical properties of the first reported 64 k bit FeNAND flash memory in the world

### 2.4 新型半导体沟道 FeFET 器件结构

一般来讲,FeFET 通常指的是制备于 Si 基半导体上的 FeFET,是目前 FeFET 研究的主流器件结构.除了 Si 基的 FeFET 外,还有一类基于薄膜晶体管结构的 FeFET 器件,采用有机半导体、氧化物半导体、石墨烯和碳纳米管为沟道.由于具有一些 Si 基 FeFET 所不具备的优点,在近年来也受到了研究工作者的关注.这种采用薄膜晶体管器件结构的 FeFET,铁电层先于半导体层制备,可以避免 Si 基 FeFET 在铁电层的高温晶化过程中界面低介电常数层的产生,铁电层与半导体层的相互扩散等问题,甚至可以不需要界面绝缘缓冲层,可以有效克服去极化场效应和提高器件的擦写效率.但是有机半导体和氧化物半导体的载流子迁移率远小于 Si,源漏电极与半导体层的接触电阻问题,以及这些新型的半导体与铁电层的界面问题远没有铁电/Si 界面研究得清楚,使得器件性能与 Si 基的 FeFET 相比还有差距,但为 FeFET 的应用提供了新的思路和方向.下面主要介绍 2 种典型的薄膜晶体管型 FeFET.

2.4.1 有机铁电场效应晶体管 有机 FeFET 可以分为 2 种类型.一种是铁电材料采用有机铁电薄膜,但是仍然制备在 Si 衬底上形成 MFIS 结构.由于有机铁电薄膜的晶化温度一般低于 200 °C,如 poly(vinylidene fluoridetrifluoroethylene) (P(VDF-TrFE)) 的晶化温度约 140 °C,所以在 Si 衬底和缓冲层之间几乎不存在界面反应,使器件的操作电压大大降低.在已知的各种有机铁电材料中,PVDF 及其共聚物 P(VDF-TrFE) 具有相对大的剩余极化、较短的极化翻转时间以及良好的热稳定性等优点,是目前有机铁电存储器中使用最广泛的有机铁电薄膜<sup>[42]</sup>.这种

基于有机铁电薄膜的 MFIS 型 FeFET,虽然其工作电压很低<sup>[10]</sup>,但是器件的写入速度以及其在空气中的稳定性问题仍然有待于深入探索.

另外一种有机 FeFET 采用的是薄膜晶体管型结构,以有机聚合物半导体或有机小分子作为半导体层,通常采用有机铁电薄膜为铁电层.这种结构的好处是可以结合有机柔性电子器件的所有优点和铁电材料的优点,在未来的柔性电子器件中具有良好的应用前景.2005 年,NABER 等<sup>[43]</sup>首次研究了聚合物半导体 MEH-PPV [poly(2-methoxy,5-(20-ethylhexyloxy)-p-phenylenevinylene)] 为沟道,以 P(VDF-TrFE) 为有机铁电层的有机 FeFET.图 6 展示了 Naber 等人工作里的有机聚合物半导体 FeFET 器件示意图及其器件的转移特性.这种新型的有机

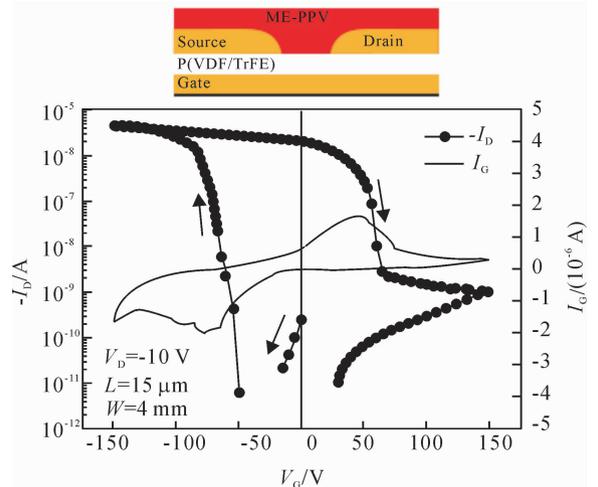


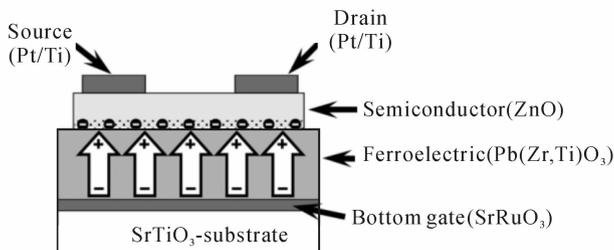
图 6 有机聚合物 FeFET 的器件结构示意图及沟道电流 - 栅压转移特性

Figure 6 A schematic diagram of the organic polymer FeFET device and its drain current - gate voltage characteristics

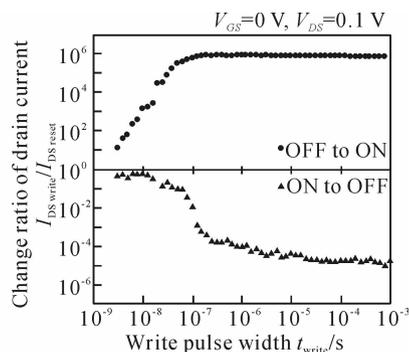
FeFET 也展示了优异的长期保持特性. 其他类型的聚合物半导体如 rr-P3HT [regioregular poly(3-hexylthiophene)] 具有比 MEH-PPV 更高的载流子迁移率, 在其后的研究中逐渐取代了 MEH-PPV 作为有机 FeFET 中的半导体沟道. 有机 FeFET 有时也采用有机小分子半导体作为沟道, 研究较多的是并五苯 (pentacene), 但是其与 P(VDF-TrFE) 之间的界面匹配不好, 导致 pentacene 沟道载流子下降, 目前报道<sup>[44]</sup> 的最高载流子迁移率仅为  $0.1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ .

2.4.2 氧化物半导体铁电场效应晶体管 另外一种薄膜晶体管类型的 FeFET 是基于氧化物半导体的 FeFET. 这种 FeFET 的典型结构如图 7(a) 所示, 是日本松下公司的 KANEKO 等<sup>[45]</sup> 制备的基于 ZnO 为沟道的 FeFET 器件. 采用单晶  $\text{SrTiO}_3$  作为衬底, 在其上可以很容易实现背栅电极  $\text{SrRuO}_3$  和铁电层  $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$  的异质外延. KANEKO 等采用电子束光刻的方法, 成功制备了 ZnO 沟道长度仅为 60 nm 的 FeFET 器件, 是目前已知报道的最小尺寸的 Fe-

FET. 对于 Si 基 FeFET, 已报道的最小的器件尺寸为  $560 \text{ nm}$ <sup>[46]</sup>. 通过外延铁电薄膜和减小器件的尺寸, FeFET 的工作速度大大提高了, 写入的脉冲宽度可以达到  $10 \text{ ns}$ , 如图 7(b) 所示; 最近, KANEKO 等<sup>[47]</sup> 制备了基于 ZnO/PZT/SRO/STO 双栅结构的 FeNAND 闪存电路, 不仅在实验室阶段直接测试到了 3.5 月的优异长期保持特性, 而且这种新型的 FeNAND 电路中相邻器件之间几乎没有相互的干扰. 虽然氧化物半导体 FeFET 理论上预期有很多 Si 基 FeFET 不具有的优点, 但是目前总体性能仍然没有 Si 基的 FeFET 好, 如工作电压一般都在  $10 \text{ V}$  左右, 造成其工作电压较高的可能原因是器件中氧化物半导体与源漏电极之间很难形成良好的欧姆接触, 在这里分掉了一部分栅压. 氧化物半导体 FeFET 面临的另外一个问题是若要实现铁电层的外延, 必须使用与铁电薄膜晶格匹配的钙钛矿氧化物单晶衬底, 这种单晶衬底的成本很高, 对大面积规模化的生产带来了挑战.



(a) 器件结构示意图



(b) 60 nm 沟道 FeFET 的开关电流比与写入脉冲宽度的关系

图 7 基于氧化物半导体的 FeFET 的器件结构示意图及典型的电学特性

Figure 7 A schematic diagram of the cell structure of FeFET based on oxide semiconductors and the typical electrical properties

### 3 FeFET 未来的研究展望

通过 60 多年的研究, 对 FeFET 的工作原理、存在的问题以及蕴藏于其中的诸多物理机制, 已经理解得非常透彻. 幸运的是通过对基于 Pt/SBT/HfAlO 体系的一个系统研究, FeFET 的单个器件性能已经得到质的飞跃, 目前从单个器件的研究开始向基于 FeFET 的 FeCMOS 逻辑器件和 FeNAND 闪存电路迈进, 展示了 FeFET 的良好商业化生产的前景. 未来的研究中, 以下方面仍然有值得探索的必要.

#### 3.1 新材料方面

(1) 铁电材料. 虽然 SBT 在 FeFET 中已经取得了巨大的成功, 但是 SBT 的晶化温度很高 (常用的

晶化温度为  $750 \text{ }^\circ\text{C}$ ), 在长时间高温晶化过程中很容易在界面生成低介电常数的氧化物层, 对器件的工作电压和工作速度等性能不利. 如果能降低铁电薄膜的晶化温度, 则可以进一步降低器件的工作电压, 提高工作速度. BFO 的晶化温度较低, 但是 BFO 漏电流很大, 已有的实验结果证明其在 FeFET 中基本上不可取. 有机铁电薄膜具有低介电常数和低晶化温度, 理论上可以克服无机铁电薄膜高晶化温度和高介电常数的缺点, 但是对有机铁电薄膜与 Si 衬底之间的界面问题、有机铁电薄膜在空气中的稳定性问题的理解还不是很深入. 因此, 探索新型的有机铁电薄膜材料, 深入理解有机铁电薄膜与 Si 之间的界面特性, 研究新型有机铁电薄膜与 Si 基的器件工艺集成都将是非常有意义的工作.

(2)新型沟道材料方面.有机柔性非易失性存储器是未来全柔性电子器件中一个新兴的研究方向,制备有机铁电薄膜与有机半导体结合起来的全柔性 FeFET 将是一个非常有意义的工作,目前这方面开始了初步工作,器件的性能还有很大的提升的空间.基于氧化物半导体的 FeFET 已经展示了某些优异的电学性能,为了进一步降低其工作电压,如何提高氧化物半导体沟道中的载流子的迁移率,降低源漏电极与沟道的接触电阻仍然值得进一步研究.目前的氧化物半导体沟道采用多晶的 ZnO、ITO 等材料,采用外延的氧化物沟道实现全外延氧化物半导体 FeFET 是一个值得期待的研究课题.

### 3.2 新应用方面

目前 FeFET 的研究集中于民用领域.有一个不太引起注意的优点:很好的抗辐射能力.适合于国防、航空航天等复杂环境中常规闪存不能应用的领域.因此对铁电薄膜和 FeFET 的抗辐射研究将是很有意义的课题,但是目前的研究不多,国内的湘潭大学在这个方向做出了一些初步的研究<sup>[48]</sup>.

最近,ITRS2010 分析指出,FeFET 可以用来构建静态随机存取存储器(FeSRAM),这种新型的 FeSRAM 具有比常规的 SRAM 更低的工作电压和更低的能耗.目前的研究刚刚起步,在这个方向还有很大的拓展空间.

### 3.3 器件的小尺寸和高密度集成研究

目前已知报道的 Si 基 FeFET 的最小器件尺寸是  $0.56 \mu\text{m}$ <sup>[46]</sup>,为了实现 FeFET 集成到 16 nm 及以下工艺中去,其器件尺寸也必须相应地持续缩小,对应的铁电层的物理厚度也必需相应减小.虽然从理论<sup>[49]</sup>和实验<sup>[50]</sup>上已经证明,当铁电薄膜的物理厚度减小到几个原子层时,仍然可以观测到铁电极化效应.但是对于 FeFET 器件,由于电荷注入效应的存在,对于具有超薄铁电层的 MFIS 结构,是否能够观测到存储效应,目前还不清楚.国际上已知报道的 Si 基 MFIS 结构里采用的最薄铁电层是 80 nm,在  $\pm 4 \text{ V}$  的扫描电压下仅仅观测到 0.2 V 的存储窗口<sup>[51]</sup>.对于厚度为 80 nm 以下铁电层的 MFIS 结构,是否仍然能够获得存储效应是一个疑问.因此如何在当铁电层非常薄的情况下使 MFIS 结构获得足够大的存储窗口对于器件的小型化尤为重要,需要从材料组合、材料及器件的制备工艺等多方面继续做出探索.目前已报道的最大的 FeNAND 是 64 k 位,未来在这个基础上需要进一步提高 FeNAND 的集成度,学术界和工业界需要在电路设计、小尺寸器件的制备工艺等方面继续努力.

当器件的尺寸很小、集成密度很高时,相邻器件之间的寄生电学耦合,相邻器件之间的读写干扰会干扰电路的正常工作<sup>[52]</sup>.东京工业大学的 ISHIWARA 教授组提出了一种 2T 的结构力图解决这个问题,虽然提高了其抗干扰的能力,但是 FeFET 的器件性能也下降了.因此,如何从优化电路设计等方面提出解决小尺寸器件之间的干扰问题的新思路也是未来值得继续探讨的课题.

### 参考文献:

- [1] KANG Sung - Mo, LEBLEBICI Yusuf. CMOS digital integrated circuits: Analysis and design[M]. New York: McGraw Hill, 2005.
- [2] Semiconductor Industry Association. The international technology roadmap for semiconductors. [2012 - 04 - 25]. <http://public.itrs.net/>.
- [3] FUJISAKI Y. Current status of nonvolatile semiconductor memory technology [J]. Jpn J Appl Phys, 2010, 49: 100001.
- [4] SAKAI S, TAKAHASHI M. Recent progress of ferroelectric - gate field - effect transistors and applications to nonvolatile logic and FeNAND flash memory [J]. Materials, 2010, 3: 4950.
- [5] MARUYAMA K, KONDO M, SINGH S, et al. New ferroelectric materials for embedded FRAM LSIs [J]. FUJITSU Sci Tech J, 2007, 43: 502.
- [6] ROSS I M. Semiconductive translating device: USA, 2791760 [P]. 1957 - 05 - 07.
- [7] MOLL J L, TARUI Y. A new solid state memory resistor [J]. IEEE Trans Electron Devices, 1963, 10: 338.
- [8] WU S Y. New ferroelectric memory device metal - ferroelectric - semiconductor transistor [J]. IEEE Trans Electron Devices, 1974, 21: 499.
- [9] LU X B, ISHIWARA H. Improved electrical properties of  $\text{Sr}_{0.8}\text{Bi}_{2.2}\text{Ta}_2\text{O}_9$  films by  $\text{ZrSiO}_4$  doping for low voltage operations of metal - ferroelectric - insulator - Si devices [J]. J Appl Phys, 2009, 105: 061626.
- [10] LU X B, YOON J W, ISHIWARA H. Low - voltage operation and excellent data retention characteristics of metal - ferroelectric - insulator - Si devices based on organic ferroelectric films [J]. J Appl Phys, 2009, 105: 084101.
- [11] LU X B. High - k gate dielectric for next generation memory device applications [M]. Weinheim: Wiley - VCH Verlag GmbH & Co, 2012: 473 - 499.
- [12] WILK G D, WALLACE R M, ANTHONY J M. High - k gate dielectrics: Current status and materials properties considerations [J]. J Appl Phys, 2001, 89: 5243.

- [13] HIRAI T, TERAMOTO K, NAGASHIMA K, et al. Characterization of metal/ferroelectric/insulator/semiconductor structure with  $\text{CeO}_2$  buffer layer [J]. *Jpn J Appl Phys*, 1995, 34:4163.
- [14] BYUN C, KIM Y I, LEE W J, et al. Effect of a  $\text{TiO}_2$  buffer layer on the CV properties of  $\text{Pt}/\text{PbTiO}_3/\text{TiO}_2/\text{Si}$  structure [J]. *Jpn J Appl Phys*, 1997, 36: 5588.
- [15] LIM M, KAL KUR T S. Electrical characteristics of  $\text{PT}$  - bismuth strontium tantalite (BST) - P - SI with zirconium oxide buffer layer [J]. *Integr Ferroelectr*, 1997, 14:247.
- [16] TOKUMITSU E, NAKAMURA R, ISHIWARA H. Non-volatile memory operations of metal - ferroelectric - insulator - semiconductor (MFIS) FET's using  $\text{PLZT}/\text{STO}/\text{Si}(100)$  structures [J]. *IEEE Electron Device Lett*, 1997, 18:160.
- [17] CHOI K J, SHIN W C, YANG J H, et al. Metal/ferroelectric/insulator/ semiconductor structure of  $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{YMnO}_3/\text{Si}$  using  $\text{YMnO}_3$  as the buffer layer [J]. *Appl Phys Lett*, 1999, 75:722.
- [18] OKUYAMA M, NODA M, YAMASHITA K. A low - temperature preparation of ferroelectric  $\text{Sr}_x\text{Bi}_{2+y}\text{Ta}_2\text{O}_9$  thin film and its application to metal - ferroelectric - insulator - semiconductor structure [J]. *Mater Sci Semicond Process*, 1999, 2:239.
- [19] CHOI H S, KIM E H, CHOI I H, et al. The effect of  $\text{ZrO}_2$  buffer layer on electrical properties in  $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{ZrO}_2/\text{Si}$  ferroelectric gate oxide structure [J]. *Thin Solid Films*, 2001, 388:226.
- [20] SZE C Y, LEE J Y M. Electrical characteristics of metal - ferroelectric ( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ) - insulator ( $\text{Ta}_2\text{O}_5$ ) - silicon structure for nonvolatile memory applications [J]. *J Vac Sci Technol B*, 2000, 18:2848.
- [21] KIJIMA T, FUJISAKI Y, ISHIWARA H. Fabrication and characterization of  $\text{Pt}/(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}/\text{Si}_3\text{N}_4/\text{Si}$  metal ferroelectric insulator semiconductor structure for FET - type ferroelectric memory applications [J]. *Jpn J Appl Phys*, 2001, 40: 2977.
- [22] CHOI H S, LIM G S, LEE J H, et al. Improvement of electrical properties of ferroelectric gate oxide structure by using  $\text{Al}_2\text{O}_3$  thin films as buffer insulator [J]. *Thin Solid Films*, 2003, 444: 276.
- [23] JUAN P C, LIN C L, SHIH W C, et al. Fabrication and characterization of metal - ferroelectric ( $\text{PbZr}_{0.6}\text{Ti}_{0.4}\text{O}_3$ ) - insulator ( $\text{La}_2\text{O}_3$ ) - semiconductor capacitors for nonvolatile 71 memory applications [J]. *J App Phys*, 2009, 105:061625.
- [24] PARK B E, ISHIWARA H. Electrical properties of  $\text{LaAlO}_3/\text{Si}$  and  $\text{Sr}_{0.8}\text{Bi}_{2.2}\text{Ta}_2\text{O}_9/\text{LaAlO}_3/\text{Si}$  structures [J]. *Appl Phys Lett*, 2001, 79: 806.
- [25] NODA M, KODAMA K, KITAI S, et al. Basic characteristics of metal - ferroelectric - insulator - semiconductor structure using a high - k  $\text{PrO}_x$  insulator layer [J]. *J Appl Phys*, 2003, 93:4137.
- [26] BURR G W, KURDI B N, SCOTT J C, et al. Overview of candidate device technologies for storage - class memory [J]. *IBM J Res Dev*, 2008, 52:449.
- [27] SAKAI S, ILANGOVAN R. Metal - ferroelectric - insulator - semiconductor memory FET with long retention and high endurance [J]. *IEEE Electron Device Lett*, 2004, 25:369.
- [28] AIZAWA K, PARK B E, KAWASHIMA Y, et al. Impact of  $\text{HfO}_2$  buffer layers on data retention characteristics of ferroelectric - gate field - effect transistors [J]. *Appl Phys Lett*, 2004, 85:3199.
- [29] TAKAHASHI M, SAKAI S. Self - aligned - gate metal/ferroelectric/insulator/semiconductor field - effect transistors with long memory retention [J]. *Jpn J Appl Phys*, 2005, 44: L800.
- [30] TAKAHASHI K, AIZAWA K, PARK B E, et al. Thirty - day - long data retention in ferroelectric - gate field - effect transistors with  $\text{HfO}_2$  buffer layers [J]. *Jpn J Appl Phys*, 2005, 44:6218.
- [31] BAE S H, LEE C H, CLAR R, et al. MOS characteristics of ultrathin CVD  $\text{HfAlO}$  gate dielectrics [J]. *IEEE Electron Device Lett*, 2003, 24: 556.
- [32] LU X B, MARUYAMA K, ISHIWARA H. Metal - ferroelectric - insulator - Si devices using  $\text{HfTaO}$  buffer layers [J]. *Semicond Sci Technol*, 2008, 23: 045002.
- [33] LU X B, ISHIWARA H. Fabrication and characterization of metal - ferroelectric - insulator - Si diodes and transistors with different  $\text{HfSiON}$  buffer layer thickness [J]. *J Mater Res*, 2008, 23:2727.
- [34] ZHU W J, TAMAGAWA T, GIBSON M, et al. Effect of Al inclusion in  $\text{HfO}_2$  on the physical and electrical properties of the dielectrics [J]. *IEEE Electron Device Lett*, 2002, 23: 649.
- [35] JUAN T P C, CHANG C Y, LEE J Y M. A new metal - ferroelectric ( $\text{PbZr}_{0.53}\text{Ti}_{0.47}\text{O}_3$ ) - insulator ( $\text{Dy}_2\text{O}_3$ ) - semiconductor (MFIS) FET for nonvolatile memory applications [J]. *IEEE Electron Device Lett*, 2006, 27: 217.
- [36] THOMAS R, MELGAREJO R E, MURARI N M, et al. Metalorganic chemical vapor deposited  $\text{DyScO}_3$  buffer layer in  $\text{Pt}/\text{Bi}_{3.25}\text{Nd}_{0.75}\text{Ti}_3\text{O}_{12}/\text{DyScO}_3/\text{Si}$  metal - ferroelectric - insulator - semiconductor Diodes [J]. *Solid State Commun*, 2009, 149:2013.
- [37] XIE D, HAN X, LI R, et al. Characteristics of  $\text{Pt}/$

- BiFeO<sub>3</sub>/TiO<sub>2</sub>/Si capacitors with TiO<sub>2</sub> layer formed by liquid – delivery metal organic chemical vapor deposition [J]. Appl Phys Lett, 2010,97:172901.
- [38] LU X B, ISHIWARA H, GU X, et al. Characteristics of metal – ferroelectric – insulator – semiconductor diodes composed of Pt electrodes and epitaxial Sr<sub>0.8</sub>Bi<sub>2.2</sub>-Ta<sub>2</sub>O<sub>9</sub>(001)/SrTiO<sub>3</sub>(100)/ Si (100) structures [J]. J Appl Phys, 2009,105:024111.
- [39] TAKAHASHI M, WANG S Y, HORIUCHI T, et al. FeCMOS logic inverter circuits with nonvolatile – memory function [J]. IEICE Electron Express, 2009, 6:831 – 836.
- [40] MIYAJI K, NODA S, HATANAKA T, et al. A 1.0 V power supply, 9.3 GB/s write speed, single – cell self – boost program scheme for high performance ferroelectric NAND flash SSD [J]. Solid State Electronics, 2011,58:34.
- [41] ZHANG X Z, TAKAHASHI M, TANIGUCHI K, et al. 64 k bit ferroelectric – gate – transistor – integrated NAND flash memory with 7.5 V program and long data retention [J]. Jpn J Appl Phys, 2012,51: 04DD01.
- [42] NABER R, ASADI K, BLOM P, et al. Organic nonvolatile memory devices based on ferroelectricity [J]. Adv Mater, 2010, 22:933.
- [43] NABER R, TANASE C, BLOM P, et al. High – performance solution – processed polymer ferroelectric field effect transistors [J]. Nat Mater, 2005,4:243.
- [44] NGUYEN C A, MHAISALKAR S G, MA J, et al. Enhanced organic ferroelectric field effect transistor characteristics with strained poly (vinylidene fluoride – trifluoroethylene) dielectric [J]. Org Electron, 2008, 9: 1087.
- [45] KANEKO Y, NISHITANI Y, UEDA M, et al. A 60 nm channel length ferroelectric – gate field – effect transistor capable of fast switching and multilevel programming [J]. Appl Phys Lett, 2011,99: 182902.
- [46] HAI L V, TAKAHASHI M, SAKAI S. Fabrication and characterization of sub – 0.6 – μm ferroelectric – gate field – effect transistors [J]. Semicond Sci Technol, 2010,25:115013.
- [47] KANEKO Y, TANAKA H, UEDA M, et al. A dual – channel ferroelectric – gate field – effect transistor enabling NAND – type memory characteristics [J]. IEEE Trans Electron Devices, 2011,58: 1311 – 1318.
- [48] LI Y S, MA Y, ZHOU Y C. Polarization loss and leakage current reduction in Au/Bi<sub>3.15</sub>Nd<sub>0.85</sub>Ti<sub>3</sub>O<sub>12</sub>/Pt capacitors induced by electron radiation [J]. Appl Phys Lett, 2009,94:042903.
- [49] JUNQUERA J, GHOSEZ P. Critical thickness for ferroelectricity in perovskite ultrathin films [J]. Nature, 2003,422:506.
- [50] PANTEL D, GOETZE S, HESSE D, et al. Reversible electrical switching of spin polarization in multiferroic tunnel junctions [J]. Nat Mater, 2012,11: 289.
- [51] TAKAHASHI K, AIZAWA K, ISHIWARA H. Optimum ferroelectric film thickness in metal – ferroelectric – insulator – semiconductor structures composed of Pt, (Bi, La)<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>, HfO<sub>2</sub>, and Si [J]. Jpn J Appl Phys, 2006,45:5098.
- [52] SHIMADA Y, ARITA K, KATO Y, et al. A read – disturb – free ferroelectric gate FET memory [J]. Integr Ferroelectr, 2001,34: 1467.

## Ferroelectric – Gate Field Effect Transistors: Working Principle, Materials Design and Recent Research Progress

LU Xubing\*, LI Ming, LIU Junming

(South China Academy of Advanced Optoelectronics, South China Normal University, Guangzhou 510006, China)

**Abstract:** A systematic introduction to the basic working principles of FeFET is given, which focus on the material design rules in the FeFET, the main ferroelectric materials and high – K buffer layer materials, and the electrical properties of their corresponding FeFET devices. Furthermore, the latest research progress on FeFET such as FeCMOS logic circuits, FeNAND flash memory circuits, and novel FeFET device structures based on oxide semiconductor and organic semiconductor will also be introduced. Finally the possible future research prospect on this field will be suggested.

**Key words:** nonvolatile memory; ferroelectric – gate field effect transistor; flash memory; organic semiconductor; oxide semiconductor

【责任编辑 庄晓琼】